การศึกษาแบบจำลองทางความร้อนในบรรจุภัณฑ์ไอซีโดยการใช้โปรแกรมแอนซีส

Thermal Modeling of IC Packages by Using ANSYS Simulation

แสงดาว เซี่ยงฉิน[1], ยศกร ประทุมวัลย์[2], แคทลียา ปัทมพรหม[3*]

Saengdaow Seangchin[1], Yotsakorn Pratumwal[2], Cattaleeya Pattamaprom[3*]

Received: 18 July 2019; Revised: 19 August 2019; Accepted: 10 September 2019

บทคัดย่อ

การออกแบบ IC package ต้องมีการนำไปทดสอบเพื่อตรวจสอบอุณหภูมิที่ผิวของ chip ว่ามีค่าไม่เกิน temperature limit ที่ถูกกำหนดไว้ ซึ่งการตรวจสอบนั้นต้องใช้เวลานาน, มีค่าใช้จ่ายสูง และมีความยุ่งยากซับซ้อนเป็นอย่างมาก ดังนั้น ในงานวิจัยนี้ได้ประยุกต์ใช้วิธีการทางไฟไนต์เอลิเมนต์ด้วยโปรแกรม ANSYS เพื่อสามารถประเมินอุณหภูมิที่ผิว chip ได้อย่างรวดเร็วและเพื่อศึกษาผลของตัวแปรต่างๆ ต่อการระบายความร้อน โดย IC package ที่เลือกใช้เป็นกรณีศึกษาในงานวิจัยนี้ คือประเภท TQFP-EP ซึ่งนิยมใช้ในอุตสาหกรรมยานยนต์ จากผลการศึกษาพบว่าการใช้โปรแกรม ANSYS สามารถจำลองอุณหภูมิที่ตำแหน่งผิวหน้าของ chip ได้ดีโดยมีความใกล้เคียงความจริงในระดับ $\pm$ 1% และพบว่าประสิทธิภาพการระบายความร้อนของ IC package จะเพิ่มขึ้นในกรณีต่อไปนี้ คือ 1) เพิ่มขนาดขององค์ประกอบใน IC package อันได้แก่ ขนาดของ IC package, ขนาดของ chip, ความหนาของ chip, ขนาดของช่อง exposed pad และจำนวนขา lead frame 2) เพิ่มค่าสัมประสิทธิ์การนำความร้อน (k) ของ die attached (DA) และ mold compound 3) เพิ่มค่าสัมประสิทธิ์การพาความร้อน (h) ที่ผิวของ IC package และ PCB 4) เพิ่มขนาดของ PCB และการเลือกใช้ชนิดของ PCB ที่มี thermal vias

คำสำคัญ: โปรแกรมแอนซีส บรรจุภัณฑ์ไอซี อุณหภูมิผิวชิพ แบบจำลองทางความร้อน

Abstract

For the design of an IC package, one of the primary concerns is the critical temperature limit, where the chip surface temperature of the designed package has to be below the critical temperature limit. The current testing method requires a long testing time, high cost and complex procedures. Therefore, this research is interested in applying the finite element method by using ANSYS simulation software to quickly evaluate the chip surface temperature and to investigate the effects of different parameters on heat transfer out of the package. The IC package used in this study is the TQFP-EP package, which is widely used in the automotive industry. It was found that the ANSYS simulation could predict the chip temperature accurately within $\pm$ 1% error. It was also found that the heat transfer efficiency could be improved by many approaches. The first approach is by increasing the dimensions of the IC package components including the package size, chip size, chip thickness, exposed pad size, and the number of package legs of the lead frame. The second approach is by increasing the thermal conductivities of the die bonding material and the mold compound. The third approach is by increasing the convection heat transfer coefficients around the surface of the IC package surface and the PCB. The last is achieved by increasing the size of the PCB and by choosing the type of PCB with thermal vias.

Keywords: ANSYS simulation, IC package, chip surface temperature, thermal modeling.

---

[1] นิสิตปริญญาโท, [3]รองศาสตราจารย์ ภาควิชาวิศวกรรมเคมี คณะวิศวกรรมศาสตร์ มหาวิทยาลัยธรรมศาสตร์ ถ.พหลโยธิน อ.คลองหลวง จ.ปทุมธานี 12120*

[2] วิศวกรอาวุโส, ศูนย์เทคโนโลยีโลหะและวัสดุแห่งชาติ สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ ถ.พหลโยธิน อ.คลองหลวง จ.ปทุมธานี 12120

[1] Master degree student, [3]Associate Professor Faculty of Engineering, Thammasat University, Phahonyothin Road, Khlongluang, Pathumthani 12120*

[2] Senior Engineer, National Metal and Materials Technology Center, National Science and Technology Development Agency, Phahonyothin Road, Khlongluang , Pathumthani 12120

** Corresponding author; Cattaleeya Pattamaprom, Faculty of engineering, Thammasat University, Phahonyothin Road, Khlongluang, Pathumthani 12120, Thailand. cattalee@engr.tu.ac.th*

บทนำ

วงจรรวม (Integrated circuit) หรือที่รู้จักกันโดยทั่วไปในชื่อว่า ไอซี (I.C.) หรือ ชิพ (Chip)[1] จะถูกนำไปประกอบเป็นบรรจุภัณฑ์ไอซี (IC package) ด้วยการปิดทับด้วยวัสดุโพลิเมอร์ (Mold compound) เพื่อป้องกันการกระแทกหรือแรงจากภายนอก ซึ่งในปัจจุบันเทคโนโลยีที่พัฒนาทางด้านอิเล็กทรอนิกส์อย่างรวดเร็วนี้ทำให้การออกแบบอุปกรณ์ต่างๆ มีขนาดเล็กกะทัดรัด IC package และ chip จึงมีขนาดเล็กลง บางลง ในขณะที่ฟังก์ชันการทำงานของ chip มีความซับซ้อนมากขึ้น จึงต้องใช้พลังงานไฟฟ้าใน chip ที่สูงขึ้น ซึ่งความร้อนที่เกิดขึ้นอาจก่อให้เกิดความเสียหายต่อ chip และทำให้อายุการใช้งานของผลิตภัณฑ์นั้นๆ สั้นลง[2] ดังนั้น การระบายความร้อนจึงเป็นส่วนสำคัญที่ต้องพิจารณาในการออกแบบ IC package[3] ซึ่งมีด้วยกันหลายวิธีตั้งแต่โครงสร้างของ IC package เอง เช่น การเพิ่มเปอร์เซ็นต์ของซิลิกอน โดยการเพิ่มแผ่นซิลิกอนหรือ dummy chip[4] การเพิ่มชั้น substrate ใต้ chip หรือที่เรียกว่าชั้น interposer[5] หรือการปรับปรุงการระบายความร้อนของ IC package ด้วยการติดแผ่นระบายความร้อนและการเพิ่มค่าการนำความร้อนของวัสดุที่ใช้ติดแผ่นระบายความร้อนเข้ากับ IC package หรือที่เรียกว่า joint layer[6] ท้ายที่สุดคือการนำ IC package ไปประยุกต์ใช้งาน โดยปรับปรุงประสิทธิภาพการระบายความร้อนของ PCB[7] และการเพิ่มพัดลมระบายอากาศ[2,8] แต่เนื่องจากการออกแบบ IC package นั้นจำเป็นต้องทำการทดสอบเพื่อตรวจสอบอุณหภูมิที่ผิว chip ว่ามีค่าไม่เกิน temperature limit ที่ถูกกำหนดไว้[2,9] ซึ่งการทดสอบนั้นต้องใช้เวลานาน, มีค่าใช้จ่ายสูงและมีความยุ่งยากซับซ้อนเป็นอย่างมาก

ดังนั้น จุดประสงค์ของงานวิจัยนี้คือการสร้างแบบจำลองทางคณิตศาสตร์เพื่อที่จะสามารถประเมินอุณหภูมิที่ผิว chip ได้อย่างรวดเร็วด้วยระเบียบวิธีทางไฟไนต์เอลิเมนต์โดยการใช้โปรแกรม ANSYS Workbench โดย IC package ที่เลือกใช้เป็นกรณีศึกษาในงานวิจัยนี้ คือประเภท TQFP-EP (Thin quad flat package-exposed pad) แบบมีขา 4 แถวซึ่งนิยมใช้ในอุตสาหกรรมยานยนต์ เพื่อศึกษาผลของตัวแปรต่างๆ ต่อการระบายความร้อนของ IC package และศึกษาแนวทางในการพัฒนาการระบายความร้อนของ IC package เพื่อประสิทธิภาพสูงสุดของตัวบรรจุภัณฑ์ต่อไป

วิธีการศึกษา

ศึกษาโครงสร้างของ TQFP-EP และการระบายความร้อน

จาก Figure 1 chip จะประกอบอยู่บน lead frame ตรงตำแหน่ง pad โดยยึดติดกันด้วยกาวประสาน (die attached) มีการเชื่อมต่อวงจรระหว่าง chip กับขาของ lead frame ด้วยเส้นลวดทองคำ (wire bond) และขึ้นรูปชิ้นงานโดยใช้วัตถุดิบพอลิเมอร์ที่เรียกว่า เรซิน โดยเครื่องจะทำการหลอมละลายเรซินแล้วฉีดเข้าไปในโมลด์เข้าไปปกคลุมในส่วนชิพและ lead frame ลักษณะเด่นของ TQFP-EP คือจะมีจำนวนขามาก มีขา 4 แถว มีขนาดเล็กและบาง มีช่องด้านล่างระหว่าง pad กับ package ที่ถูกเปิดออก (exposed pad hole) เพื่อช่วยในการระบายความร้อน เมื่อนำตัว package ไปประกอบลงบน PCB จะต้องทำการบัดกรี (soldering) โดยใช้โลหะบัดกรีชนิดไม่มีตะกั่ว (lead free solder) เข้าไปเติมเต็มในส่วนช่องว่างของ exposed pad กับ PCB เพื่อช่วยระบายความร้อนจากข้างในตัว package ลงไปสู่ PCBด้านล่างได้ดีขึ้น

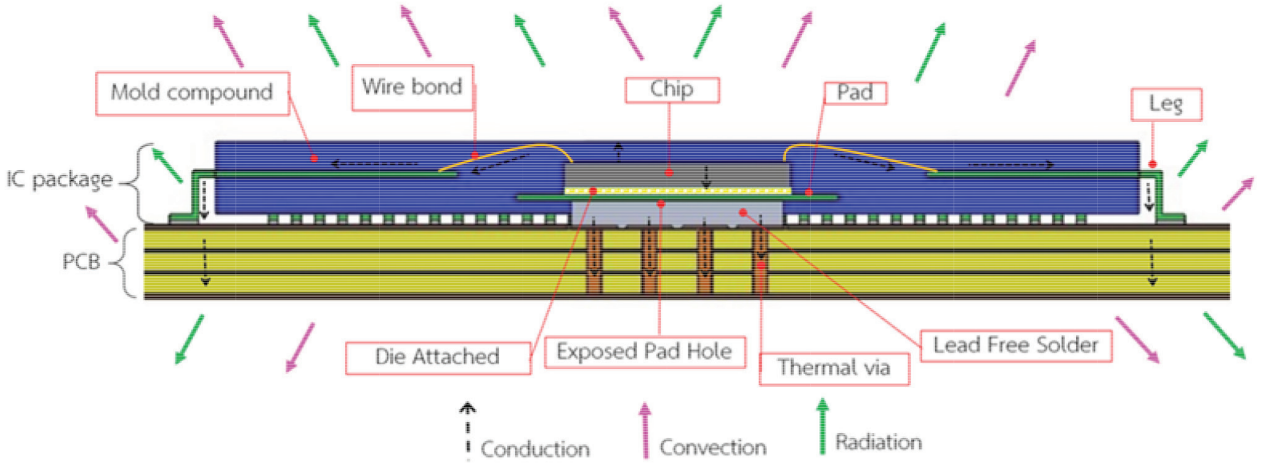


Figure 1 Cross section and heat flow paths of TQFP-EP

ความร้อนที่เกิดขึ้นที่ผิว chip เกิดจากพลังงานไฟฟ้าในขณะการใช้งาน โดยการระบายความร้อนที่เกิดขึ้นใน IC package จะเกิดขึ้นใน 3 รูปแบบ คือ การนำความร้อน การพาความร้อนและการแผ่รังสี ซึ่งการพาความร้อนและการแผ่รังสีจะเกิดขึ้นที่ผิวของ IC package และผิวของ PCB ส่วนการนำความร้อนที่เกิดขึ้นนั้นจะส่งผ่านทางวัสดุที่เป็นของแข็งชนิดต่างๆ ที่เป็นส่วนประกอบในโครงสร้างของ IC package ซึ่งอัตราการส่งผ่านความร้อนจะขึ้นอยู่กับค่าการนำความร้อนของวัสดุแต่ละชนิดและพื้นที่หน้าตัดของวัสดุ จากกฎการนำความร้อนของฟูเรียร์จะได้ว่า

$$\dot{Q} = -kA\frac{dT}{dx} \quad (1)$$

โดย $\dot{Q}$ คือ อัตราการไหลของความร้อน (W)

A คือ พื้นที่หน้าตัดที่ตั้งฉากกับทิศทางการไหลของความร้อน (m^2)

k คือ ค่าสัมประสิทธิ์การนำความร้อนของวัสดุ (W/m.°C)

การวิเคราะห์อุณหภูมิสูงสุดที่ผิว chip ด้วยระเบียบวิธีไฟไนต์เอลิเมนต์

เริ่มจากการสร้างแบบจำลองแบบ 3 มิติ โดยการใช้โปรแกรม solidworks ในงานวิจัยนี้ได้เลือก IC package ประเภท TQFP-EP มา 3 ขนาด ได้แก่ ขนาด 16x16 mm 20x20 mm และ 24x24 mm แสดงรายละเอียดของแต่ละส่วนประกอบดัง Table 1 จากนั้นนำแบบจำลอง 3 มิติมาทำการสมมาตรแบบ ¼ ดังแสดงใน Figure 2 และถ่ายโอนแบบจำลองดังกล่าวเข้าสู่โปรแกรม ANSYS workbench ทำการวิเคราะห์แบบจำลองภายใต้สภาวะคงตัว (steady state) เพื่อหาลักษณะการกระจายอุณหภูมิที่เกิดขึ้นที่ตำแหน่งต่างๆ ภายในแบบจำลอง รวมถึงอุณหภูมิสูงสุดที่เกิดขึ้นบนผิว chip โดยจะต้องมีการกำหนดคุณสมบัติของวัสดุลงในโปรแกรม ได้แก่ ค่า k ของวัสดุต่างๆ ที่เป็นส่วนประกอบของ TQFP-EP โดยค่า k ของแต่ละส่วนประกอบแสดงดัง Table 2

Table 1 Dimensions of components of TQFP-EP

Structure name	Type		
	TQFP-EP no.1	TQFP-EP no.2	TQFP-EP no.3
Package size	16x16 mm	20x20 mm	24x24 mm
Leg	144	144	176
Lead frame pitch	0.4 mm	0.5 mm	0.5 mm
Chip size	5.09x4.92x 0.675 mm	5.09x4.92x 0.675mm	6x6x0.675 mm
Exposed pad hole size	4.6x4.6 mm	4.6x4.6 mm	4.4x4.4 mm
PCB size	101.5x114.5 mm	101.5x114.5 mm	101.5x114.5 mm

Table 2 Thermal conductivities of components of TQFP-EP

Component	Material	Thermal conductivity
Chip	Silicon	146.44 W/m.°C
Die Attached	Adhesive	1.5 W/m.°C
Mold Compound	Plastic	0.84 W/m.°C
Lead Free Solder	Sn-Ag-Cu	50 W/m.°C
Pad	Cu	391 W/m.°C
PCB	FR4	0.18 W/m.°C

*FR4 (FR=Flame Retardant) is a glass fiber epoxy laminate

ทำการสร้างเมชและปรับเมชเพื่อหาจำนวนเอลิเมนต์ที่เหมาะสมของ TQFP-EP แต่ละขนาด ได้จำนวนเอลิเมนต์ของแบบจำลองประมาณ 114,751 เอลิเมนต์ ประกอบด้วยจุดต่อทั้งหมดประมาณ 349,924 จุดต่อ

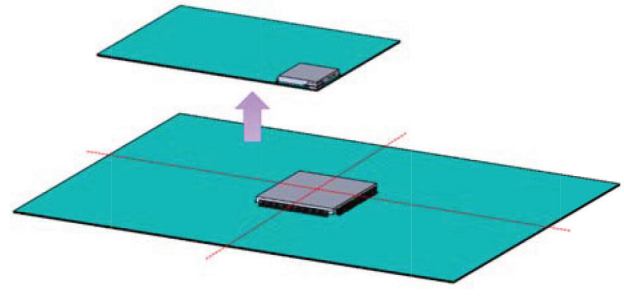


Figure 2 A 3D model of TQFP-EP symmetry 1/4

กำหนดเงื่อนไขขอบเขตที่ใช้ในการวิเคราะห์

1. กำหนดเงื่อนไขเริ่มต้น

กำหนดอุณหภูมิเริ่มต้นที่ตำแหน่งต่าง ๆ บนแบบจำลอง 3 มิติเท่ากับ 25°C

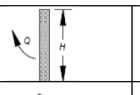
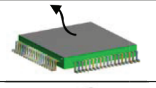
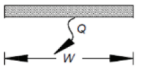
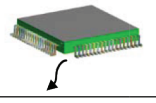
2. กำหนด Heat Source

กำหนดปริมาณความร้อนของ chip ที่เกิดจาก power ขณะใช้งานจริงของ TQFP-EP ทั้ง 3 ขนาด เท่ากับ 1.38 W, 1.37 W และ 1.09 W ตามลำดับ

3. กำหนดเงื่อนไขขอบเขตการพาความร้อน

ที่ผิวด้านนอกของ IC package มีการกำหนดค่าสัมประสิทธิ์การพาความร้อน (h) แบบธรรมชาติของชิ้นงานแผ่นเรียบขนาดเล็กที่ได้มาจากการทดลองของ Ellison[10] ดังแสดงใน Table 3 และกำหนดค่า h ในส่วนของผิว PCB เท่ากับ 5 $W/m^2.°C$[11]

Table 3 Summary of simplified small device, flat plate heat transfer coefficient formulae

h ($W/m^2.°C$)	Geometry	
$h = 0.0022\left(\frac{\Delta T}{P}\right)^{0.35}$		
$h = 0.0018\left(\frac{\Delta T}{P}\right)^{0.33}$		
$h = 0.0009\left(\frac{\Delta T}{P}\right)^{0.33}$		
vertical plate: P=H [in.]; horizontal plate: P=WL/[2(W+L)].		

4. กำหนดเงื่อนไขขอบเขตการแผ่รังสี

มีการกำหนดค่าสภาพการเปล่งรังสี (emissivity,ε) ที่ผิวของวัสดุ โดยที่ผิวของ IC package เท่ากับ 0.8, ที่ผิวของ PCB ในส่วนที่เป็น FR4 และที่ผิวของ PCB ในส่วนที่เป็น copper เท่ากับ 0.8 และ 0.03 ตามลำดับ[11]

การตรวจสอบเพื่อยืนยันความถูกต้อง (Validation) ของค่า θ_{JA} ระหว่างการวัดจริงและการสร้างแบบจำลองทางความร้อนด้วยระเบียบวิธีไฟไนต์เอลิเมนต์

θ_{JA} คือค่าความต้านทานความร้อนจากที่ผิว chip ถึงอุณหภูมิรอบนอก (thermal resistance from junction-to-ambient, °C/W) มีนิยามดังสมการที่ 2

$$\theta_{JA} = \frac{(T_J - T_A)}{P_H} \quad (2)$$

โดย T_J = อุณหภูมิที่ผิว chip เมื่อ IC package อยู่ในสภาวะคงตัว (steady state) หลังจากการให้ P_H (°C)

T_A = อุณหภูมิรอบนอก (Ambient temperature, °C)

P_H = พลังงานไฟฟ้า (W)

โดยทั่วไปวิธีการวัดเพื่อหาค่า θ_{JA} ในการพาความร้อนแบบธรรมชาติ จะอ้างอิงตามมาตรฐานของ JEDEC เดียวกัน โดยจุดประสงค์ของการวัดค่า θ_{JA} ใช้สำหรับเปรียบเทียบประสิทธิภาพการระบายความร้อนของแต่ละ IC package ในสภาพแวดล้อมที่เป็นมาตรฐานเดียวกัน[9]

จาก Figure 3 (a) แสดงตัวอย่างการกระจายอุณหภูมิของ TQFP-EP no.1 และ (b) แสดงตัวอย่างการกระจายอุณหภูมิที่ chip ของ TQFP-EP no.1 โดยอุณหภูมิที่ผิว chip ที่ได้จากการ simulation ของ TQFP-EP ทั้ง 3 ขนาด ได้แก่ 50.77 °C, 49.70 °C และ 42.6 °C ตามลำดับ ซึ่งสามารถนำมาคำนวณหาค่า θ_{JA} ได้จากสมการที่ (2)

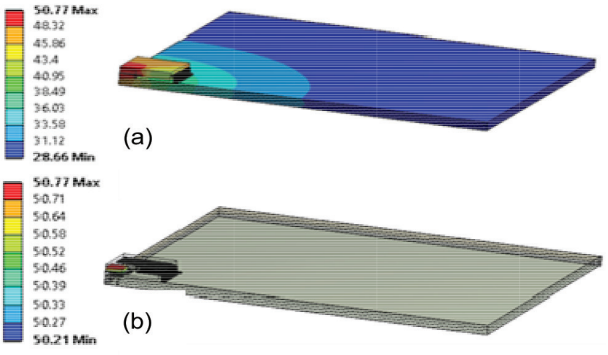


Figure 3 (a) Package and PCB temperature distribution of TQFP-EP no.1 and (b) Chip temperature distribution of TQFP-EP no.1

Table 4 แสดงผลการ validation ของ TQFP-EPทั้ง 3 ขนาดจะได้ค่า error ระหว่างการวัดจริงและการทำ simulation เท่ากับ -0.11%, 0.16% และ 0.3% ตามลำดับ แสดงถึงความน่าเชื่อถือของการจำลองการถ่ายโอนความร้อนด้วยโปรแกรม ANSYS

Table 4 Validation result of TQFP-EP

	Type		
	TQFP-EP no.1	TQFP-EP no.2	TQFP-EP no.3
Power	1.38 W	1.37 W	1.09 W
θ_{JA} measurement	18.69 °C/W	18.00 °C/W	16.10 °C/W
θ_{JA} simulation	18.67 °C/W	18.03 °C/W	16.15 °C/W
Error	**-0.11%**	**0.16%**	**0.3%**

ผลการศึกษาและการอภิปรายผล

จากผลการตรวจสอบความถูกต้องของค่าอุณหภูมิที่ผิว chip ของ IC package ประเภท TQFP-EP ทั้ง 3 ขนาด โดยวิธีการทาง finite element ด้วยโปรแกรม ANSYS เพื่อนำมาศึกษาผลของตัวแปรต่างๆ ดังนี้

ขนาดของ IC package

ในการเลือกขนาด package เพื่อใช้งานนั้น อาจถูกจำกัดโดยตัวแปรต่างๆ ทั้งในเรื่องของจำนวนขาของ package ที่นำไปใช้งาน ระบบวงจรและพื้นที่ PCB ของลูกค้า ซึ่งขนาดของ package ที่เล็กลง จะทำให้อุณหภูมิที่ผิว chip เพิ่มขึ้น ดังแสดงใน Figure 4 (a) เนื่องจากพื้นที่การถ่ายเทความร้อนสู่อากาศด้วยการพาความร้อนและการแผ่รังสีลดลง

ส่วนขนาดของ chip ได้ถูกกำหนดมาตั้งแต่ขั้นตอนการออกแบบ chip ดังนั้น การเปลี่ยนแปลงขนาดของ chip จึงไม่สามารถทำได้ในขั้นตอนการออกแบบ IC package แต่ในบางครั้งการคาดเดาแนวโน้มอุณหภูมิที่ผิว chip โดยเปรียบเทียบกับ package เดียวกัน ที่ขนาด chip ต่างๆ กันอาจเป็นประโยชน์เพื่อใช้เป็นแนวทางในการออกแบบ เช่น chip ที่มีขนาดเล็กอาจจะมีความจำเป็นที่ต้องเพิ่มขนาด exposed Pad หรือเลือก DA ที่มีค่า k ที่สูงขึ้น ซึ่งผลจากแบบจำลองทาง finite element ดังแสดงใน Figure 4 (b) พบว่าขนาดของ chip ที่เพิ่มขึ้นทำให้อุณหภูมิที่ผิว chip มีค่าลดลง เนื่องจากอัตราการถ่ายโอนพลังงานความร้อนต่อพื้นที่ (heat flux) มีค่าลดลง

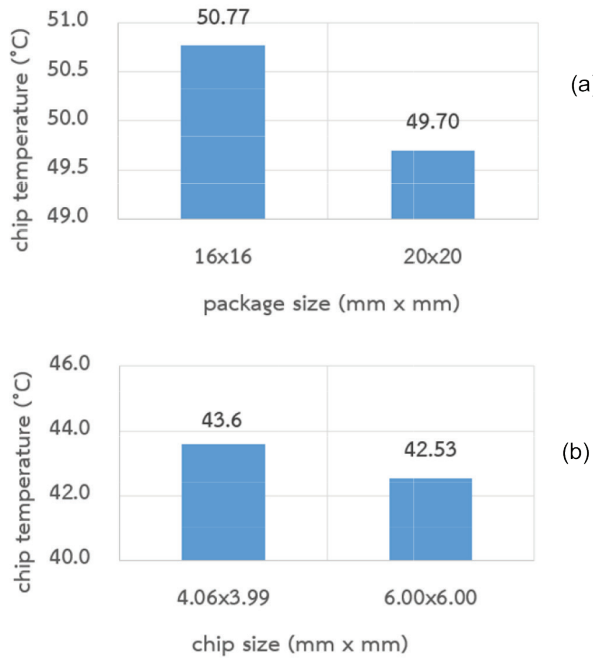


Figure 4 (a) Relation of the chip temperature versus the package size (b) Relation of the chip temperature versus the chip size

ความหนาของ chip

ผลจากแบบจำลองทาง finite element ดังแสดงใน Figure 5 เนื่องจากความหนาของ chip ที่เพิ่มขึ้นทำให้การถ่ายเทความร้อนจากผิว chip ลงสู่ PCB ได้น้อยลง แต่การเพิ่มความหนาของ chip จะส่งผลให้อุณหภูมิที่ผิว chip เพิ่มขึ้นเพียงเล็กน้อยเท่านั้น

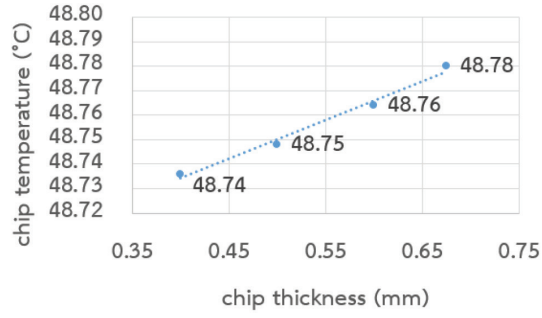


Figure 5 Relation of the chip temperature versus the chip thickness

ขนาดของช่อง exposed pad

ช่อง exposed pad คือช่องด้านล่างระหว่าง pad กับ package ที่ถูกเปิดออก ดังแสดงใน Figure 1 ซึ่งเป็นข้อดีของ IC package ประเภท TQFP-EP เมื่อเปรียบเทียบกับ IC package แบบที่มีขาประเภทอื่นๆ แล้วนอกจากจะสามารถระบายความร้อนจากตัว package ลงสู่ PCB ทางขาของ lead frame แล้วยังสามารถระบายความร้อนโดยตรงสู่ PCB ทางช่อง exposed pad ได้อีกด้วย ดังนั้นขนาดของช่อง exposed pad จึงมีความสำคัญต่อการระบายความร้อนจาก package ลงสู่ PCB เป็นอย่างมาก โดยจะเห็นได้จากผลของแบบจำลองทาง finite element ซึ่งเมื่อขนาดของช่อง exposed pad เพิ่มขึ้น อุณหภูมิที่ผิว chip จะลดลง ดังแสดงใน Figure 6 เนื่องจากการถ่ายเทความร้อนจาก package ลงสู่ PCB ดีขึ้น

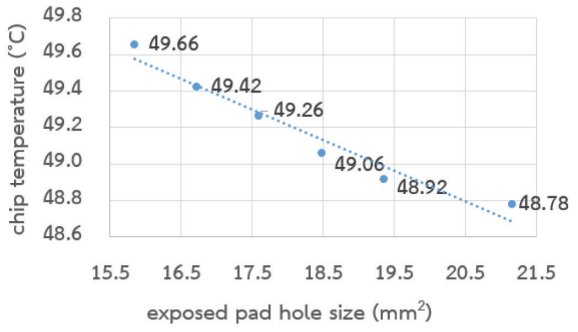


Figure 6 Relation of the chip temperature versus the exposed pad hole size

จำนวนขา lead frame

จำนวนขา lead frame โดยส่วนใหญ่แล้วจะถูกกำหนดมาจากความต้องการช่องทางสัญญาณไฟฟ้าของตัว package ซึ่งจำนวนขา lead frame ที่มากขึ้น ทำให้อุณหภูมิผิว chip ลดลง ดังแสดงใน Figure 7 เนื่องจากจำนวนขาที่เพิ่มขึ้นหมายถึงโลหะทองแดงที่มากขึ้น ซึ่งทองแดงมีค่า k ที่สูง ทำให้การถ่ายเทความร้อนภายใน package สามารถลงสู่ PCB ได้ดีขึ้น เปรียบเทียบจำนวนขาของ lead frame จำนวน 144 ขา และ 176 ขา พบว่าอุณหภูมิที่ผิว chip สามารถลดลงได้ถึง 5.52 °C

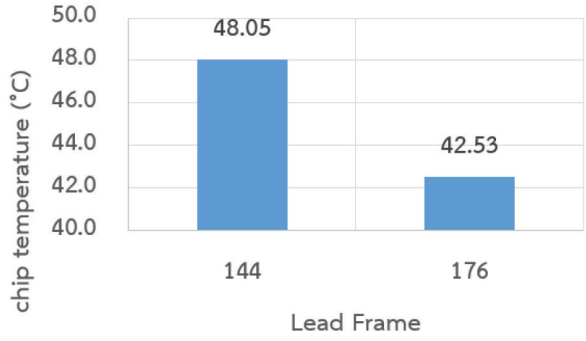


Figure 7 Relation of the chip temperature versus the number of package legs of the lead frame

สัมประสิทธิ์การนำความร้อน (k) ของ DA (die attached) และ mold compound

DA นอกจากจะมีความสำคัญในการยึดตัว chip เข้ากับ lead frame แล้วยังเป็นส่วนสำคัญในการถ่ายเทความร้อนจาก chip ลงสู่ lead frame โดยตรงอีกด้วย ดังนั้นเมื่อค่า k ของ DA เพิ่มขึ้น อุณหภูมิที่ผิว chip จะลดลง ดังแสดงใน Figure 8 เนื่องจากการถ่ายเทความร้อนจากผิว chip ลงสู่ lead frame และ PCB ได้ดีขึ้น

ส่วน mold compound เป็นวัสดุที่ใช้ห่อหุ้มตัว IC package ทั้งหมด ดังนั้นการเพิ่มค่า k ของ mold compound จึงทำให้อุณหภูมิที่ผิว chip มีค่าลดลง เนื่องจากการนำความร้อนโดยรวมของ package มากขึ้น ดังแสดงใน Figure 8

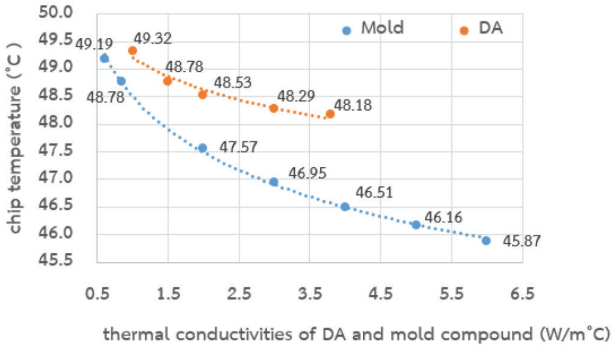


Figure 8 Relation of the chip temperature versus thermal conductivities of DA and mold compound

สัมประสิทธิ์การพาความร้อน (h) ที่ผิวของ IC package และผิวของ PCB

การศึกษาในงานวิจัยนี้เป็นการศึกษาการถ่ายเทความร้อนด้วยโหมดการพาความร้อนแบบธรรมชาติ (natural convection) ซึ่งในบางครั้งอุปกรณ์ที่นำ IC package ไปประยุกต์ใช้งานอาจมีค่า h ที่เพิ่มขึ้นหรือน้อยลง เช่น การติดพัดลมระบายความร้อนให้แก่อุปกรณ์ หรือการติดครีบระบายความร้อนบนตัว IC package โดยเมื่อค่า h ที่ผิว IC package เพิ่มขึ้น จะทำให้อุณหภูมิที่ผิว chip มีค่าลดลง ดังแสดงใน Figure 9 (a) เช่นเดียวกับที่ผิวของ PCB โดยเมื่อค่า h ที่ผิวของ PCB เพิ่มขึ้น จะทำให้อุณหภูมิที่ผิว chip มีค่าลดลง ดังแสดงใน Figure 9 (b)

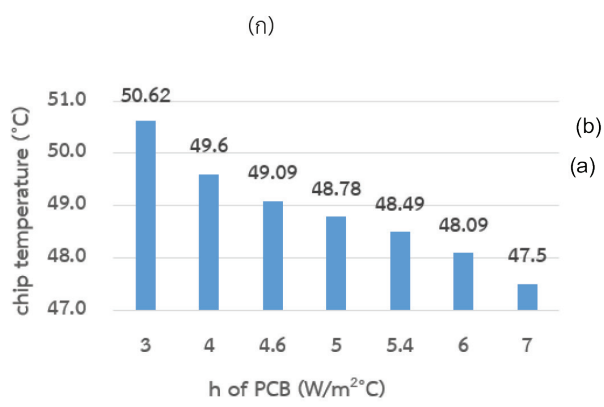


Figure 9 (a) Relation of the chip temperature versus convection heat transfer coefficients around the surface of the IC package (b) PCB

ขนาดของ PCB และเปอร์เซ็นต์ของ Copper (%Cu) ใน PCB

ตามมาตรฐาน JEDEC ได้กำหนดขนาดของ PCB และ %Cu ในแต่ละชั้นของ PCB ไว้เพื่อให้เป็นมาตรฐานเดียวกันในการออกแบบ IC package[13] แต่ในการนำ IC package ไปประยุกต์ใช้งานนั้น ขนาดของ PCB และ %Cu ในแต่ละชั้นของ PCB จะขึ้นอยู่กับระบบวงจรและขนาดของอุปกรณ์ที่นำ IC package ไปใช้งาน ซึ่งในบางครั้งขนาด PCB อาจจะมีขนาดเล็กหรือใหญ่กว่าที่มาตรฐาน JEDEC ได้กำหนดไว้ โดยขนาด PCB ที่ใหญ่ขึ้นจะส่งผลให้อุณหภูมิที่ผิว chip ลดลง เช่นเดียวกับ %Cu นั่นคือเมื่อ %Cu ในชั้น PCB เพิ่มขึ้น อุณหภูมิที่ผิว chip จะลดลง ดังแสดงใน Figure 10 โดยมีการเปรียบเทียบขนาดของ PCB ที่มี %Cu ต่างกัน 2 ค่า คือ %Cu มาก (20-90-90-20) และ %Cu น้อย (14-84-84-15) โดยค่าตัวเลขในวงเล็บแสดงถึง %Cu ในชั้นทั้งสี่ของ PCB

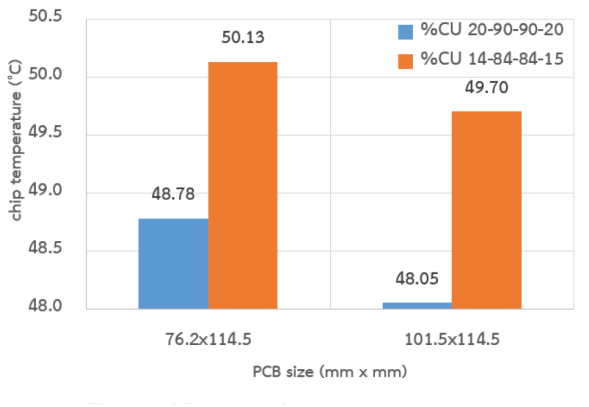


Figure 10 Relation of the chip temperature versus PCB size and %Cu in each layer

PCB ที่มี thermal vias และไม่มี thermal vias

Thermal vias คือรูทองแดงที่เชื่อมต่อ PCB ในแต่ละชั้นเพื่อช่วยนำความร้อนลงสู่ PCB ด้านล่าง ดังแสดงใน Figure 1 ในงานวิจัยนี้ต้องการที่จะเปรียบเทียบค่าอุณหภูมิที่ผิว chip ระหว่าง PCB ที่ไม่มี thermal vias และ PCB ที่มี thermal vias ของ TQFP-EP โดยขนาดเส้นผ่านศูนย์กลางของ thermal vias เท่ากับ 0.3 mm มีจำนวน 16 แท่งที่อยู่ใน PCB จากผลการวิเคราะห์พบว่า PCB ที่มี thermal vias นั้นจะทำให้อุณหภูมิที่ผิว chip ของ TQFP-EP ลดลงถึง 19.72 °C ดังแสดงใน Figure 11

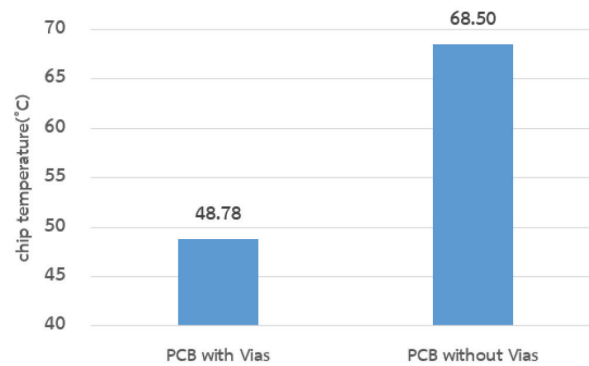


Figure 11 Relation of the chip temperature versus PCB with thermal vias and without thermal vias

สรุปผลการศึกษา

จากผลการศึกษาจะเห็นได้ว่ามีหลายวิธีที่ช่วยลดอุณหภูมิที่ผิว chip ขณะใช้งาน ตั้งแต่การเพิ่มขนาดและลดความหนาของ chip หรือในส่วนของตัว IC package เอง ได้แก่ การเพิ่มขนาด, เพิ่มจำนวนขาและเพิ่มขนาดของช่อง exposed pad หรือการเลือกใช้ DA และ mold compound ที่มีค่า k ที่สูงขึ้น รวมถึงการนำ IC package ไปใช้งานบน PCB ที่มีขนาดใหญ่ขึ้น หรือ

%Cu ใน PCB ที่เพิ่มขึ้น โดยเฉพาะ PCB ที่มี thermal vias รวมถึงการเพิ่มค่า h บน IC package และ PCB ด้วยการติดพัดลมระบายความร้อนหรือติดแผ่นระบายความร้อน ซึ่งข้อได้เปรียบของ IC package ประเภท TQFP-EP คือการที่มีช่อง exposed pad ดังนั้น การที่มี thermal vias อยู่ใน PCB จะสามารถช่วยลดอุณหภูมิที่ผิว chip ได้อย่างมีประสิทธิภาพสูงสุด

เอกสารอ้างอิง

1. เทคโนโลยีการผลิตและออกแบบวงจรรวม, [ระบบออนไลน์], แหล่งที่มา https://cuir.car.chula.ac.th/dspace/bitstream/123456789/.../4/Chalermchai_kok_ch3.pdf, เข้าดูเมื่อวันที่ 05/02/2562.
2. Raja, B., Praveenkumar, V., Leeelaprasad, M. and Manigandan, P. (2015). Thermal simulations of an electronic system using Ansys Icepak, *Journal of Engineering Research and Applications*, vol. 5(11), November 2015, pp. 57-68.
3. ไพศาล นาผล (2558). การถ่ายเทความร้อนและการระบายความร้อนอุปกรณ์อิเล็กทรอนิกส์, กรุงเทพฯ: บริษัท ทริปเพิ้ล กรุ๊ป จำกัด.
4. Ma, Y.Y., Chong, D.Y.R., Wang, C.K. and Sun, A.Y.S. (2005). Development of Ball Grid Array Packages with Improved Thermal Performance, paper presented in *the 7th Electronics Packaging Technology Conference 2005,* Singapore.
5. Chen, M., Tang, Y. and Wang B. (2010). Dependence of IGBT Junction-Case Steady State Thermal Resistance on Heating Current, paper presented in *the 3rd International Conference on Computer and Electrical Engineering 2010,* Singapore.
6. Ishizaki, T., Yanase, M., Kuno, A., Satoh, T., Usui, M., Osawa, F. and Yamada, Y. (2015). Thermal simulation of joints with high thermal conductivities for power electronic devices, *Microelectronics Reliability,* vol. 55(7), June 2015, pp. 1060-1066.
7. Osone, Y. (2006). Thermal Design of Power Semiconductor Modules for Mobile Communication Systems, paper presented in *the THERMINIC 2006,* Nice, France.
8. Zhao, Z. (2003). Thermal design of broadband communication system with detailed modeling of TBGA packages, *Microelectronics Reliability,* vol. 43(5), May 2003, pp. 785-793.
9. JESD51-2A, *Integrated circuits thermal test method environmental conditions-natural convection (still air),* JEDEC Standard, January 2008.
10. Ellison, G.N. (2011). *Thermal Computations for Electronics: conductive, radiative and convective air cooling,* CRC Press, New York.
11. Tummala R.R. (2001). *Fundamentals of Microsystems Packaging,* McGraw-Hill Professional.
12. Ross R.J. (2011). *Microelectronics Failure Analysis,* 6th edition, ASM International.
13. JESD51-7, *High effective thermal conductivity test board for leaded surface mount packages,* EIA/JEDEC Standard, February 1999.